



**AVVISO N. 122/2015**

**selezione pubblica, per titoli ed esami, per l'attribuzione di  
n. 1 assegno di ricerca "professionalizzante" (categoria A)  
presso il Dipartimento di Elettronica e Telecomunicazioni.**

Il Politecnico di Torino intende attribuire n. 1 assegno per lo svolgimento di attività di ricerca nell’ambito del programma di ricerca: **“Computazioni ad alta efficienza energetica”**, di cui alla scheda allegata.

Campo di ricerca:	<b>Engineering</b>
Settore Scientifico Disciplinare:	<b>ING-INF/01 – Elettronica</b>
Durata assegno:	<b>1 anno</b>
Importo lordo assegno:	<b>Euro 19.367,00 annui lordi</b>

La domanda di partecipazione alla selezione, *redatta sull'apposito modulo e corredata della documentazione indicata nel bando generale per l'attribuzione di assegni di ricerca*, dovrà essere presentata presso l'Area Risorse Umane, Organizzazione, Trattamenti Economici e Previdenziali - Ufficio Personale non strutturato – stanza n. 6 – **dal lunedì al giovedì dalle ore 9.00 alle ore 12.00 e dalle ore 14.00 alle ore 16.00, il venerdì dalle ore 9.00 alle ore 12.00**, ovvero inviata via posta, corriere o tramite fax, allegando copia di un documento di riconoscimento in corso di validità, al n. 0110905919, **entro le ore 16.00 del giorno 08.10.2015**. La data di arrivo sarà comprovata dal timbro a calendario apposto dall'ufficio. Non saranno ritenute valide le domande pervenute oltre il suddetto termine.

La selezione verrà effettuata, per titoli e colloquio, secondo il programma d'esame sotto indicato:

<b>Titolo di studio richiesto per la partecipazione:</b>	Diploma di laurea dell’ordinamento previsto dal D.M. 270/2004 nelle seguenti classi: LM-29 (Ingegneria elettronica), ovvero LM-25 (Ingegneria dell’automazione) <i>oppure</i> Diploma di laurea dell’ordinamento previsto dal D.M. 509/1999 nelle seguenti classi: 32/S (Ingegneria elettronica), ovvero 29/S (Ingegneria dell’automazione) <i>oppure</i> Laurea in Ingegneria elettronica, conseguita ai sensi degli ordinamenti didattici antecedenti il D.M. 509/1999 <i>oppure</i> titolo universitario straniero equivalente.
<b>Campi su cui dovranno vertere i titoli:</b>	<ul style="list-style-type: none"><li>• Progetto di sistemi embedded;</li><li>• Realizzazione di algoritmi su piattaforme a microcontrollore e/o FPGA.</li></ul>
<b>Temi del colloquio:</b>	Il colloquio verterà su: <ul style="list-style-type: none"><li>• Tecniche di parallelizzazione di software per applicazioni embedded;</li><li>• Realizzazione di algoritmi su piattaforme FPGA.</li></ul> Saranno, inoltre, discussi i titoli ammessi a valutazione e accertata la conoscenza della lingua inglese e per i cittadini stranieri anche di quella italiana.



## CALENDARIO DELLE PROVE:

<b>Affissione elenco valutazione titoli:</b>	il 15.10.2015 – ore 12,00 alla bacheca del Dipartimento di Elettronica e Telecomunicazioni del Politecnico di Torino – Torino - C.so Castelfidardo, 39.
<b>Colloquio:</b>	il 15.10.2015 – ore 15,00 presso la sala riunioni del Dipartimento di Elettronica e Telecomunicazioni - Politecnico di Torino – Torino – C.so Castelfidardo, 39.

### **Titoli:**

Sono valutati, purché in settori attinenti a quello per il quale è bandito l'assegno, i seguenti titoli:

- il dottorato di ricerca fino a 10 punti;
- il voto di laurea fino a 5 punti;
- pubblicazioni fino a 15 punti;
- i diplomi di specializzazione e gli attestati di frequenza di corsi di perfezionamento post laurea conseguiti in Italia o all'estero fino a 10 punti;
- lo svolgimento di documentata attività di ricerca (compresa quella effettuata nell'ambito dello svolgimento della tesi di laurea o di dottorato) presso soggetti pubblici e privati con contratti, borse di studio o incarichi, sia in Italia che all'estero, fino a 20 punti con un massimo di 4 punti all'anno.

Coloro che hanno prodotto domanda dovranno presentarsi nel luogo, giorno ed ora su indicati, muniti di valido documento di riconoscimento.

Il bando generale per l'attribuzione degli assegni di ricerca, cui si rinvia per gli aspetti procedurali, e il "Regolamento per l'attribuzione di assegni per la collaborazione ad attività di ricerca" sono disponibili su internet al seguente indirizzo: <http://www.swas.polito.it/services/concorsi/>.

Torino, 28.09.2015

IL DIRETTORE GENERALE  
(Dott. Aldo TOMMASIN)  
*f.to A. Tommasin*

**Allegato A)**

DENOMINAZIONE PROGRAMMA DI RICERCA:
Computazioni ad alta efficienza energetica
Energy-efficient COnputing
ACRONIMO PROGRAMMA DI RICERCA
ECO
DURATA E DATA DI INIZIO DEL PROGRAMMA DI RICERCA
3 anni dal 01/10/2015
CONTENUTO E FINALITÀ PROGRAMMA DI RICERCA:
<p>Per raggiungere prestazioni estreme i server HPC attuali devono essere migliorati. Un semplice scalamento non è una soluzione fattibile a causa dei crescenti costi di uso e dei limiti di consumo energetico. Oltre a miglioramenti nella tecnologia di implementazione, è necessario semplificare lo sviluppo di applicazioni HPC, così come l'architettura dei futuri sistemi HPC.</p> <p>Il Programma di Ricerca affronta questa sfida proponendo un ambiente di programmazione e un'architettura hardware scalabile su misura per le caratteristiche e le tendenze di applicazioni HPC attuali e future, riducendo significativamente il traffico dati così come il consumo di energia e ritardi. Sfrutteremo acceleratori riconfigurabili che possono accedere alla memoria in modo coerente nello spazio degli indirizzi virtuale. L'architettura ECO sarà basata sulla la sintesi hardware automatica di queste risorse da un modello di programmazione basato su OpenCL.</p> <p>In order to reach extreme performance current HPC servers need to be improved. Simple scaling is not a feasible solution due to the increasing utility costs and power consumption limitations. Apart from improvements in implementation technology, what is needed is to refine the HPC application development as well as the architecture of the future HPC systems.</p> <p>The Research Program tackles this challenge by proposing a scalable programming environment and hardware architecture tailored to the characteristics and trends of current and future HPC applications, reducing significantly the data traffic as well as the energy consumption and delays. We will exploit reconfigurable accelerators that can perform coherent memory accesses in the virtual address space. The ECO architecture will support automated hardware synthesis of these resources from an OpenCL-based programming model.</p>
PRESTAZIONI RICHIESTE ALL'ASSEGNISTA DI RICERCA
Analisi dei requisiti e scrittura di software per traduzione di un modello OpenCL di una applicazione parallela in un linguaggio sintetizzabile tramite sintesi ad alto livello.