POLITECNICO DI TORINO

AREA RISORSE UMANE E ORGANIZZAZIONE SERVIZIO RISORSE UMANE E ORGANIZZAZIONE UFFICIO PERSONALE NON STRUTTURATO ED ELABORAZIONE DATI

Corso Duca degli Abruzzi, 24 – 10129 Torino Italia tel: +39 011 090 7847 fax: +39 011 090 5919

e-mail: ruo.persns@polito.it



AVVISO N. 387/2011

selezione pubblica, per titoli ed esami, per l'attribuzione di n. 1 assegno di ricerca "professionalizzante" (categoria A) presso il Dipartimento di Elettronica.

Il Politecnico di Torino intende attribuire n. 1 assegno per lo svolgimento di attività di ricerca nell'ambito del programma di ricerca: "Sviluppo di modelli HW e SW per protocolli di comunicazione in ambito avionico", di cui alla scheda allegata.

Campo di ricerca:	Engineering
Settore Scientifico Disciplinare:	ING-INF/01 – Elettronica
Durata assegno:	1 anno
Importo lordo assegno:	Euro 19.367,00 annui lordi

La domanda di partecipazione alla selezione, <u>redatta sull'apposito modulo e corredata della documentazione indicata nel bando generale per l'attribuzione di assegni di ricerca</u>, dovrà essere presentata presso l'Area Risorse Umane e Organizzazione - Servizio Risorse Umane e Organizzazione - Ufficio Personale non strutturato ed elaborazione dati – stanza n. 3 - **dal lunedì al venerdì dalle ore 10.00 alle ore 13.00 e dalle ore 14.00 alle ore 16.00**, entro il termine perentorio del **12.12.2011.**

La domanda può essere fatta pervenire via posta, corriere o fax al n. 011/090.5919 entro il suddetto termine. Considerata, infatti, la tempistica concorsuale non è rilevante per l'ammissione alla selezione la data di invio, ma solo quella di pervenimento all'Ufficio.

La selezione verrà effettuata, per titoli e colloquio, secondo il programma d'esame sotto indicato:

Titolo di studio richiesto per la partecipazione:	Diploma di laurea dell'ordinamento previsto dal D.M. 270/2004 nelle seguenti classi: LM-29 (Ingegneria Elettronica),
	oppure Diploma di laurea dell'ordinamento previsto dal D.M. 509/1999 nelle seguenti classi: 32/S (Ingegneria elettronica),
	oppure Laurea in Ingegneria elettronica, conseguita ai sensi degli ordinamenti didattici antecedenti il D.M. 509/1999,
	oppure titolo universitario straniero equivalente.
Campi su cui dovranno vertere i titoli:	Progettazione elettronica digitale; Logiche programmabili; Digital signal processing.
Temi del colloquio:	Il colloquio verterà su: Architettura e programmazione di logiche FPGA; Progetto e ottimizzazione di processori programmabili per applicazioni specifiche (ASIP); Progettazione di circuiti VLSI e System on Chip; Progetto di circuiti digitali per applicazioni di signal processing. Saranno, inoltre, discussi i titoli ammessi a valutazione e accertata la conoscenza della lingua inglese e per i cittadini stranieri anche di quella italiana.



CALENDARIO DELLE PROVE:

Affissione elenco valutazione titoli:	il 15.12.2011 – ore 17,45 alla bacheca del Dipartimento di Elettronica del Politecnico di Torino – Torino - C.so Duca degli Abruzzi, 24.
Colloquio:	il 15.12.2011 – ore 18,15 presso il Dipartimento di Elettronica (IV piano, C.so Castelfidardo 3) - Politecnico di Torino – Torino – C.so Duca degli Abruzzi, 24.

Titoli:

Sono valutati, purché in settori attinenti a quello per il quale è bandito l'assegno, i seguenti titoli:

- il dottorato di ricerca fino a 10 punti;
- il voto di laurea fino a 5 punti;
- pubblicazioni fino a 15 punti;
- i diplomi di specializzazione e gli attestati di frequenza di corsi di perfezionamento post laurea conseguiti in Italia o all'estero fino a 10 punti;
- lo svolgimento di documentata attività di ricerca (compresa quella effettuata nell'ambito dello svolgimento della tesi di laurea o di dottorato) presso soggetti pubblici e privati con contratti, borse di studio o incarichi, sia in Italia che all'estero, fino a 20 punti con un massimo di 4 punti all'anno.

Coloro che hanno prodotto domanda dovranno presentarsi nel luogo, giorno ed ora su indicati, muniti di valido documento di riconoscimento.

Il bando generale per l'attribuzione degli assegni di ricerca, cui si rinvia per gli aspetti procedurali, e il "Regolamento per l'attribuzione di assegni per la collaborazione ad attività di ricerca" sono disponibili su internet al seguente indirizzo: http://www.swas.polito.it/services/concorsi/.

Torino, 01.12.2011

IL RESPONSABILE DEL SERVIZIO (P. VIGLIANI)

Tools Viglian





DENOMINAZIONE PROGRAMMA DI RICERCA

Sviluppo di modelli HW e SW per protocolli di comunicazione in ambito avionico

DEvelopment of hardware and software Models for Avionic communication Protocols

ACRONIMO PROGRAMMA DI RICERCA

DEMAP

DURATA E DATA DI INIZIO DEL PROGRAMMA DI RICERCA

2 anni 01/01/2012

CONTENUTO E FINALITÀ PROGRAMMA DI RICERCA

Obiettivo del programma di ricerca è lo sviluppo di un IP core su dispositivo FPGA in grado di supportare lo standard ARINC 818 per la comunicazione a bordo velivolo. Dopo l'analisi delle specifiche del protocollo, sarà inizialmente sviluppato un modello simulativo in Simulink. Successivamente sarà progettata l'architettura di elaborazione, esplorando le possibili soluzioni e ottimizzando l'uso delle risorse hardware. L'architettura sarà poi descritta in lingiaggio VHDL e sintetizzata su piattaforma FPGA. La validazione funzionale e la caratterizzazione delle prestazioni concluderanno l'attività.

The objective of the program is the development of an IP core supporting the ARINC 818 standard for avionic communications. The core is targeted to FPGA implementation. The initial step is the analysis of the prtocol characteristics and the development of a simulative model using Simulink. Then, the processing architecture will be derived through exploration of the design space and optimization of the available resource. Finally the architecture will be described using VHDL language and synthesized on the selected FPGA platform. Functional validation and performance evaluation will complete the activity.

PRESTAZIONI RICHIESTE ALL'ASSEGNISTA DI RICERCA

Analisi del protocollo e studio dello stato dell'arte Sviluppo dei modelli SW usando Simulink Definizione dell'architettura di elaborazione Sviluppo del modello HW usando strumenti quali Modelsim e Xilinx ISE Validazione del progetto su piattaforma FPGA.