



**AVVISO N. 152/2014**  
**selezione pubblica, per titoli ed esami, per l'attribuzione di**  
**n. 1 assegno di ricerca "professionalizzante" (categoria A)**  
**presso il Dipartimento di Elettronica e Telecomunicazioni.**

Il Politecnico di Torino intende attribuire n. 1 assegno per lo svolgimento di attività di ricerca nell'ambito del programma di ricerca: **"Progetto di architetture VLSI per la codifica video standard HEVC (High Efficiency Video Coding)"**, di cui alla scheda allegata.

Campo di ricerca:	<b>Engineering</b>
Settore Scientifico Disciplinare:	<b>ING-INF/01 – Elettronica</b>
Durata assegno:	<b>1 anno</b>
Importo lordo assegno:	<b>Euro 19.367,00 annui lordi</b>

La domanda di partecipazione alla selezione, *redatta sull'apposito modulo e corredata della documentazione indicata nel bando generale per l'attribuzione di assegni di ricerca*, dovrà essere presentata presso l'Area Risorse Umane, Organizzazione, Trattamenti Economici e Previdenziali - Ufficio Personale non strutturato – stanza n. 3 – **dal lunedì al giovedì dalle ore 10.00 alle ore 13.00 e dalle ore 14.00 alle ore 16.00, il venerdì dalle ore 9.00 alle ore 13.00**, ovvero inviata via posta, corriere o tramite fax, allegando copia di un documento di riconoscimento in corso di validità, al n. 0110905919, **entro le ore 16.00 del giorno 22.09.2014**. La data di arrivo sarà comprovata dal timbro a calendario apposto dall'ufficio. Non saranno ritenute valide le domande pervenute oltre il suddetto termine.

La selezione verrà effettuata, per titoli e colloquio, secondo il programma d'esame sotto indicato:

<b>Titolo di studio richiesto per la partecipazione:</b>	Diploma di laurea dell'ordinamento previsto dal D.M. 270/2004 nelle seguenti classi: LM-29 (Ingegneria elettronica), ovvero LM-25 (Ingegneria dell'automazione)  <i>oppure</i> Diploma di laurea dell'ordinamento previsto dal D.M. 509/1999 nelle seguenti classi: 32/S (Ingegneria elettronica), ovvero 29/S (Ingegneria dell'automazione)  <i>oppure</i> Laurea in Ingegneria elettronica, conseguita ai sensi degli ordinamenti didattici antecedenti il D.M. 509/1999  <i>oppure</i> titolo universitario straniero equivalente.
<b>Campi su cui dovranno vertere i titoli:</b>	- Digital architectures; - Signal processing; - VLSI design.
<b>Temi del colloquio:</b>	- CAD tools for the design of VLSI circuits; - General optimization methods for digital integrated architectures; Image and video compression: computational challenges and hw implementation, nonché la discussione sui titoli ammessi a valutazione. Sarà, inoltre, accertata la conoscenza della lingua inglese e per i cittadini stranieri anche di quella italiana.



## CALENDARIO DELLE PROVE:

<b>Affissione elenco valutazione titoli:</b>	il 30.09.2014 – ore 09,30 alla bacheca del Dipartimento di Elettronica e Telecomunicazioni del Politecnico di Torino – Torino - C.so Duca degli Abruzzi, 24.
<b>Colloquio:</b>	il 30.09.2014 – ore 10,30 presso la sala riunioni – IV piano - del Dipartimento di Elettronica e Telecomunicazioni (Cittadella Politecnica) - Politecnico di Torino – Torino – C.so Duca degli Abruzzi, 24.

### Titoli:

Sono valutati, purché in settori attinenti a quello per il quale è bandito l'assegno, i seguenti titoli:

- il dottorato di ricerca fino a 10 punti;
- il voto di laurea fino a 5 punti;
- pubblicazioni fino a 15 punti;
- i diplomi di specializzazione e gli attestati di frequenza di corsi di perfezionamento post laurea conseguiti in Italia o all'estero fino a 10 punti;
- lo svolgimento di documentata attività di ricerca (compresa quella effettuata nell'ambito dello svolgimento della tesi di laurea o di dottorato) presso soggetti pubblici e privati con contratti, borse di studio o incarichi, sia in Italia che all'estero, fino a 20 punti con un massimo di 4 punti all'anno.

Coloro che hanno prodotto domanda dovranno presentarsi nel luogo, giorno ed ora su indicati, muniti di valido documento di riconoscimento.

Il bando generale per l'attribuzione degli assegni di ricerca, cui si rinvia per gli aspetti procedurali, e il "Regolamento per l'attribuzione di assegni per la collaborazione ad attività di ricerca" sono disponibili su internet al seguente indirizzo: <http://www.swas.polito.it/services/concorsi/>.

Torino, 12.09.2014

IL RESPONSABILE DELL'AREA  
(Mario RAVERA)  
f.to M. Ravera



<p>DENOMINAZIONE PROGRAMMA DI RICERCA:</p> <p>Progetto di architetture VLSI per la codifica video standard HEVC (High Efficiency Video Coding)</p> <p>VLSI architectures design for encoders of High Efficiency Video Coding (HEVC) standard</p>
<p>ACRONIMO PROGRAMMA DI RICERCA</p> <p>VADE</p>
<p>DURATA E DATA DI INIZIO DEL PROGRAMMA DI RICERCA</p> <p>36 mesi dal 16/10/2014</p>
<p>CONTENUTO E FINALITÀ PROGRAMMA DI RICERCA:</p> <p>Lo scopo del Programma di Ricerca è di esplorare implementazioni efficienti per la stima del moto in HD HEVC. La stima del moto (ME) è uno strumento utilizzato in molti standard di compressione video e è stato oggetto di ricerca intensiva. Lo standard High Efficiency Video Coding (HEVC) prevede un elevato livello di compressione per sequenze video HD, ma molte delle tecniche note in letteratura sono state proposte per risoluzioni inferiori e potrebbero non essere adatte al caso HD.</p> <p>The objective of the Research Program is to investigate on efficient implementations Motion Estimation (ME) in the context of HD HEVC. Motion Estimation (ME) is a well-established research topic as it has been employed in several standards for video compression in the last twenty years. The recent High Efficiency Video Coding (HEVC) standard for video compression relies on ME as well. However, two main objectives of HEVC are i) to provide high compression and high quality in HD video sequences, i.e. 1080p frames and ii) to implement fast encoders based on parallel processing. As a consequence, several results shown in the literature for lower resolution video sequences might not apply to HD video sequences. Among the possible tools available in the HEVC video coder, ME is an interesting candidate as it accounts for a significant percentage of the total computational complexity of the encoder.</p>
<p>PRESTAZIONI RICHIESTE ALL'ASSEGNIATA DI RICERCA</p> <ol style="list-style-type: none"><li>1. Analysis of available ME algorithms in high resolution HEVC context in terms of rate distortion performance;</li><li>2. Comparisons of collected results against full search approach for high resolution sequences and against performance offered by the same algorithm with lower resolution sequences;</li><li>3. Proposal of new algorithms for efficient ME: desirable objectives would be (i) better rate distortion performance than achievable with methods normally used for low resolution sequences, and (ii) better efficiency than full search and potential for parallel execution;</li><li>4. Design of VLSI architectures for the hardware implementation of selected ME algorithms and writing of a paper.</li></ol>